Ministerul Educației al Republicii Moldova

Universitate de Stat “A. Russo”

Facultatea de Științe Reale, Economice si ale Mediului

**Raport**

**“Arhitectura și organizarea calculatorului”**

Lucrarea de laborator nr. 9

**Sumatorul**

Student: Cozlov Alexei

Grupa: IS21Z

**Цель работы:**

1. Построение и исследование полсумматора в статическом и динамическом режимах.

2. Построение и исследование полного сумматора.

3. Построение и исследование параллельного сумматора с последовательной передачей переносов.

4. Построение и исследование параллельного сумматора с параллельной передачей переносов.

**Эксперимент № 1. Полусумматор**

**Статический режим.**

Таблица 1. Таблица истинности полусумматора

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | S |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

C =

S =

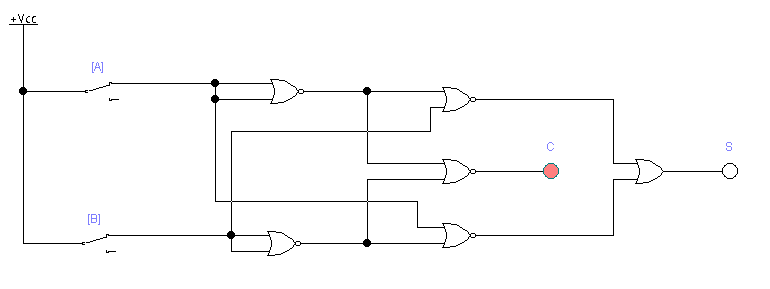


Рис. 1. Электрическая схема полусумматора (статический режим работы).

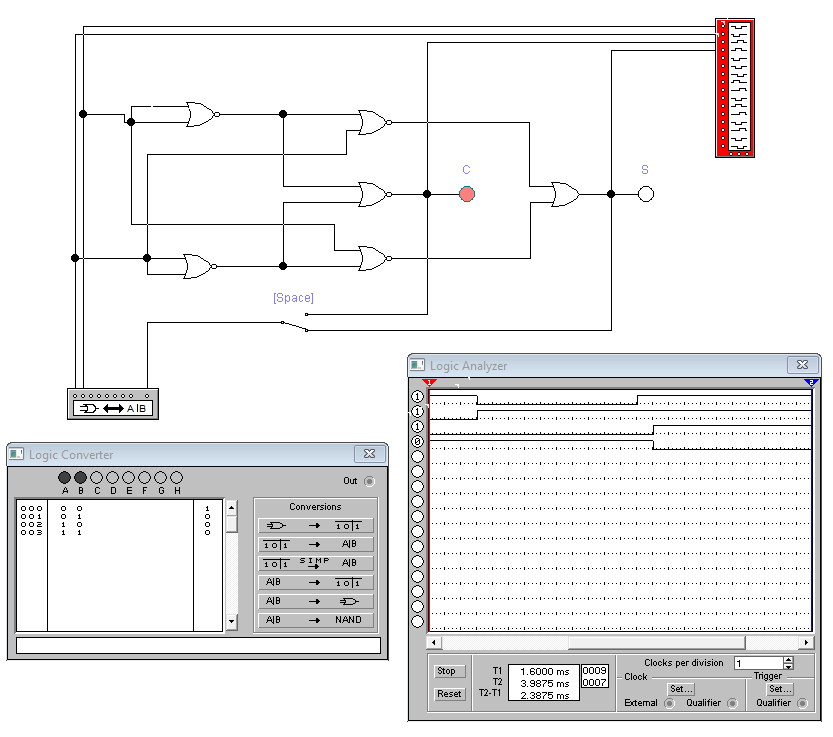
**Динамический режим.** 

Рис. 2. Электрическая схема полусумматора (динамический режим работы)

**Эксперимент № 2. Полный сумматор**

**Статический режим**

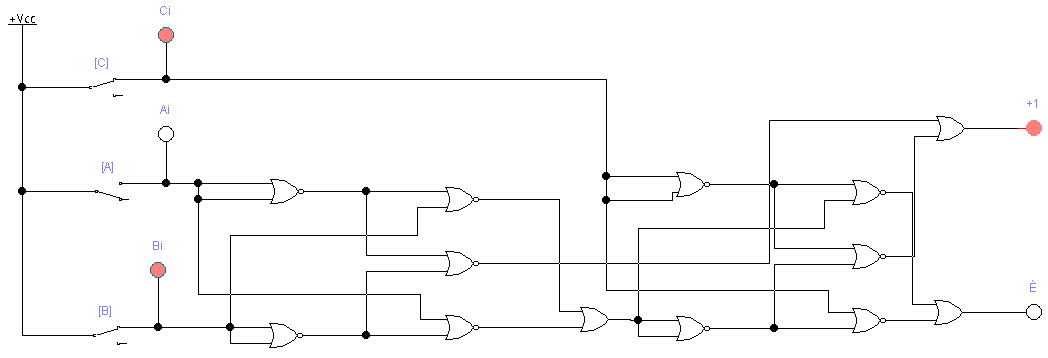


Рис. 3. Электрическая схема полного сумматора (статический режим работы).

Таблица 2. Таблица истинности полного сумматора

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| C | A | B | Ci+1 | Si |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

**Динамический режим**

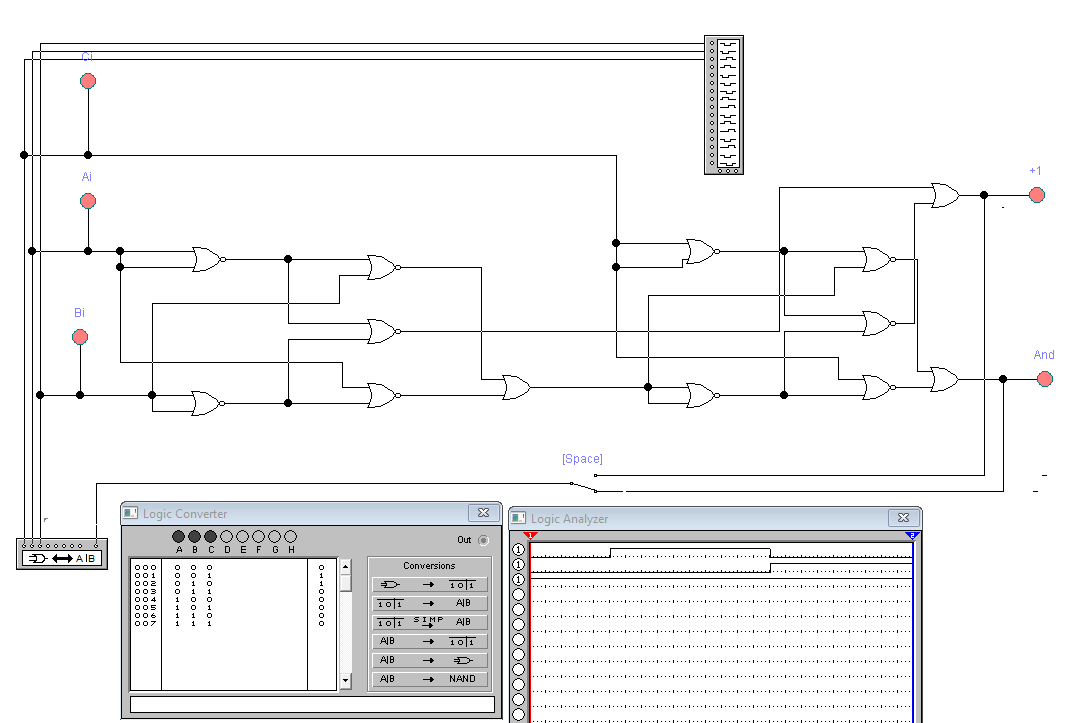
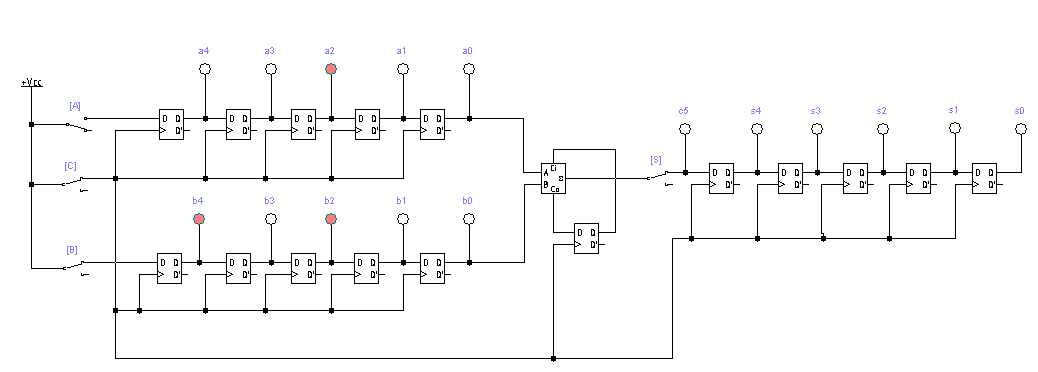


Рис. 4. Электрическая схема полного сумматора (динамический режим работы).

**Эксперимент № 3. Последовательный сумматор**

|  |  |  |
| --- | --- | --- |
| Вариант | A | B |
| 3 | 00100 | 10100 |



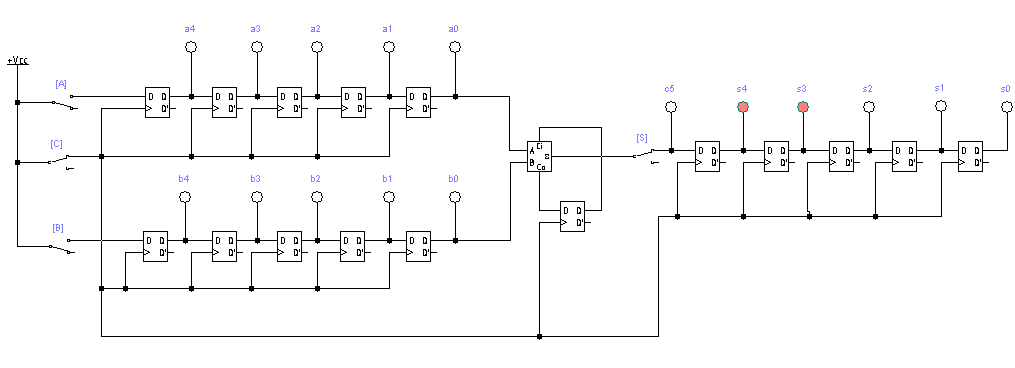


Рисунок.5. Схема последовательного суматора

**001002+101002=110002**

**Эксперимент № 4. Параллельный сумматор с последовательной передачей переносов**

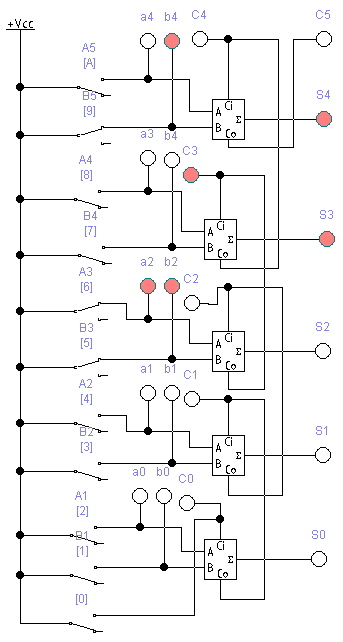


Рис.6. Параллельный сумматор с последовательной передачей переносов

**Эксперимент № 5. Параллельный сумматор с параллельной передачей переносов**

𝑖=0→𝐶1=𝑔0+𝑝0𝐶0;

𝑖=1→𝐶2=𝑔1+𝑝1𝐶1=𝑔1+𝑝1(𝑔0+𝑝0𝐶0) =𝑔1+𝑝1𝑔0+𝑝1𝑝0𝐶0;

𝑖=2→𝐶3=𝑔2+𝑝2𝐶2=𝑔2+𝑝2(𝑔1+𝑝1𝐶1) =𝑔2+𝑝2𝑔1+𝑝2𝑝1𝐶1=

=𝑔2+𝑝2𝑔1+𝑝2𝑝1(𝑔0+𝑝0𝐶0) =𝑔2+𝑝2𝑔1+𝑝2𝑝1𝑔0+𝑝2𝑝1𝑝0𝐶0; 𝑖=3→𝐶4=𝑔3+𝑝3𝐶3=𝑔3+𝑝3(𝑔2+𝑝2𝐶2) =𝑔3+𝑝3𝑔2+𝑝3𝑝2𝐶2=

=𝑔3+𝑝3𝑔2+𝑝3𝑝2(𝑔1+𝑝1𝐶1) =𝑔3+𝑝3𝑔2+𝑝3𝑝2𝑔1+𝑝3𝑝2𝑝1𝐶1=

=𝑔3+𝑝3𝑔2+𝑝3𝑝2𝑔1+𝑝3𝑝2𝑝1(𝑔0+𝑝0𝐶0) =

=𝑔3+𝑝3𝑔2+𝑝3𝑝2𝑔1+𝑝3𝑝2𝑝1𝑔0+𝑝3𝑝2𝑝1𝑝0𝐶0.

𝑖=3→𝐶5= 𝑔4+𝑝4𝑔3+𝑝4𝑝3𝑔2+𝑝4𝑝3𝑝2𝑔1+ 𝑝4𝑝3𝑝2𝑝1𝑔0+ 𝑝4𝑝3𝑝2𝑝1𝑝0𝐶0.

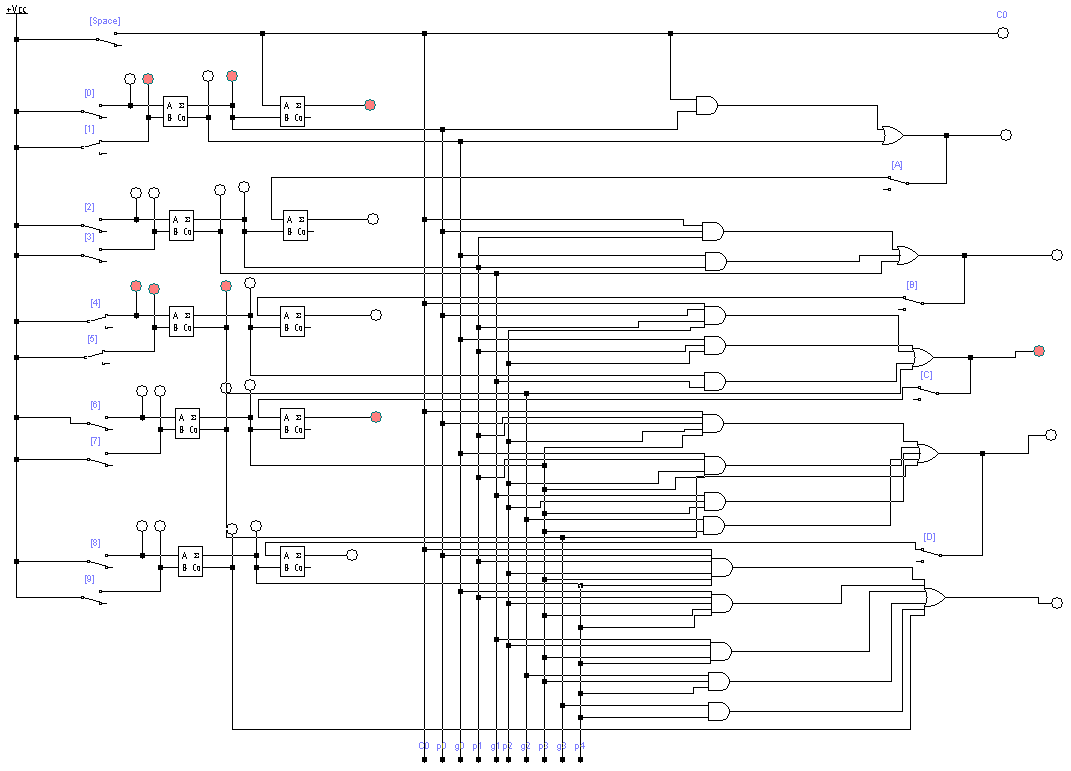


Рис7. Параллельный сумматор с последовательной передачей переносов

**Выводы:**

Сумматоры являются основными строительными блоками в цифровой электронике и компьютерной технике, используемыми для выполнения арифметических операций, в частности, сложения бинарных чисел.

* Изучение полусумматора показывает, как базовые логические операции (И, ИЛИ, Исключающее ИЛИ) используются для выполнения простых арифметических операций.
* Полный сумматор расширяет концепцию полусумматора, включая в себя учёт переноса из предыдущего разряда. Это ключевой элемент для построения многоразрядных арифметических схем, демонстрирующий важность управления переносами для обеспечения точности вычислений.
* Параллельный сумматор с последовательной передачей переносов иллюстрирует, как можно масштабировать одноразрядные сумматоры для работы с многоразрядными числами. Однако, последовательная передача переносов создаёт задержки, что становится критическим в высокоскоростных системах.
* Вариант с параллельной передачей переносов решает проблему задержек, связанных с последовательной передачей. Это делает его более подходящим для высокопроизводительных вычислительных систем, хотя схема становится более сложной и требует дополнительных ресурсов для реализации.